

PAT-NO: JP361134084A

DOCUMENT-IDENTIFIER: JP 61134084 A

TITLE: PHOTO COUPLER

PUBN-DATE: June 21, 1986

INVENTOR-INFORMATION:

NAME

MORI, NOBUO

FUJIMOTO, AKIRA

WATANABE, HIDEAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OMRON TATEISI ELECTRONICS CO

N/A

APPL-NO: JP59256973

APPL-DATE: December 4, 1984

INT-CL (IPC): H01L031/12, H01L027/15

US-CL-CURRENT: 257/84, 257/E31.071

## ABSTRACT:

**PURPOSE:** To contrive miniaturization by monolithic production of the light emitting element and the light receiving element by a method wherein these elements are formed on a substrate in adjacency to each other via insulation layer.

**CONSTITUTION:** A light emitting element 20 made of an N type semiconductor 2 and a P type semiconductor 3 is formed on the semi-insulation substrate 1, and the surface of this element 20 except the parts of an anode 7, a cathode 8, and their neighborhood is coated with an insulation layer 4. This layer 4 is permeable to the wavelength of the light emitted out of the light emitting element 20, and a light receiving element 50 made of a P type semiconductor 5 and an N type semiconductor 6 is formed over the insulation layer 4 and the substrate 1. Light is generated out of the light emitting element 20 by flowing forward current across the electrodes 7 and 8, and this emitted light passes through the layer 4 into the light receiving element 50, resulting in the generation of electromotive force between electrodes 9 and 10.

A

semi-insulating material is used as the substrate 1, and the insulation layer 4 is provided between both the elements 20 and 50; therefore, electric insulation is kept between the light emitting element 20 and the light receiving element 50.

COPYRIGHT: (C)1986,JPO&Japio

⑤ Int.Cl.<sup>4</sup>H 01 L 31/12  
27/15

識別記号

庁内整理番号

6819-5F  
6819-5F

④ 公開 昭和61年(1986)6月21日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 フォト・カブラ

⑰ 特 願 昭59-256973

⑱ 出 願 昭59(1984)12月4日

⑲ 発 明 者	森 展 男	京都市右京区花園土堂町10番地	立石電機株式会社内
⑲ 発 明 者	藤 本 晶	京都市右京区花園土堂町10番地	立石電機株式会社内
⑲ 発 明 者	渡 辺 秀 明	京都市右京区花園土堂町10番地	立石電機株式会社内
⑲ 出 願 人	立石電機株式会社	京都市右京区花園土堂町10番地	
⑲ 代 理 人	弁理士 牛久 健司		

## 明 細 書

必要としていた。

## 1. 発明の名称

## 発明の概要

フォト・カブラ

この発明は、発光素子と受光素子とをモノリ

## 2. 特許請求の範囲

シックに作製してその小型化を図ることを目的

一基板上に絶縁層を介して発光素子と受光素子とが隣接して形成されているフォト・カブラ。

とする。

## 3. 発明の詳細な説明

この発明によるフォト・カブラは、一基板上

## 発明の背景

に絶縁層を介して発光素子と受光素子とを隣接して形成したことを特徴とする。絶縁層は、発

この発明はフォト・カブラに関する。

光素子の光を透過させるものであることが必要である。

フォト・カブラは、発光素子とこの発光素子の光を電気信号に変換する受光素子とから構成される。従来のフォト・カブラにおいては、発光素子と受光素子とが別個のチップによりつくられており、これをケースに収納するかまたはモールドすることにより構成されていたので、フォト・カブラを利用した回路は大きな空間を

発光素子からの光は絶縁層を通して受光素子に達する。発光素子と受光素子との間には絶縁層が設けられているので、両素子は電氣的に相互に独立しかつ光学的にのみ結合しているからフォト・カブラとしての機能を達成することができる。この発明によるフォト・カブラはモノ

リシックに作製されているのでその小型化を図ることができる。

演算処理回路等ののつた基板上に上述のフォト・カブラをつくることにより、フォト・カブラを用いた回路の小型化を達成することができる。

#### 実施例の説明

第1図から第3図において、半絶縁性基板(1)上に、 $n$ 型半導体(2)と $p$ 型半導体(3)とからなる発光素子(4)が形成されている。この発光素子(4)上の陽極(7)、陰極(8)およびその付近の部分を除く表面上に絶縁層(4)が被着されている。絶縁層(4)は発光素子(4)から出力される光の波長に対して透過性をもっている。絶縁層(4)上および基板(1)上にわたって、 $p$ 型半導体(5)と $n$ 型半導体(6)とからなる受光素子(4)が形成されている。この

受光素子(4)の作製において横方向成長により単結晶化を図ることが好ましいが、この素子(4)は必ずしも単結晶でなくてもよい。このような構造のフォト・カブラ(4)上には、外部からの光を遮断するために光学的シールド(4)を設け、フォト・カブラを覆っておくことが好ましい。

電極(7)と電極(8)との間に順方向電流を通すことによつて発光素子(4)から光が発生する。この発光した光は、第2図に矢印で示すように、絶縁層(4)を透過して受光素子(4)に入る。これにより電極(9)と電極(10)の間には起電力が生じる。基板(1)として半絶縁性材料が用いられ、かつ両素子(4)間に絶縁層(4)が設けられることにより、発光素子(4)と受光素子(4)との間には電気的絶縁性が保たれている。フォト・カブラとしての機能が達成されていることが理解できよう。

第4図を参照して、このフォト・カブラ(4)の製造方法の一例について説明する。

適当な酸でエッチングされた $GaAs$ 基板(1)上に、液相エピタキシャル成長法(LPE法)によつて、 $Te$ をドーパントとする $n$ 型 $GaAs$ 層(2)を成長させ、その後、同法によつて $Zn$ をドーパントとして $p$ 型 $GaAs$ 層(3)を成長させる(第4図(a))。

続いて、フォトリソグラフィ技術とエッチングにより、 $n$ 型 $GaAs$ 層(2)および $p$ 型 $GaAs$ 層(3)の一部を除去する(第4図(b))。 $n$ 型 $GaAs$ 層(2)の一部および基板(1)の一部が露出する。

スパッタリングにより、 $SiO_2$ 絶縁層(4)を $p$ 型 $GaAs$ 層(3)および露出した基板(1)上に被着する(第4図(c))。

フォトリソグラフィ技術とエッチングにより、

$SiO_2$ 絶縁層(4)を除去し、 $p$ 型 $GaAs$ 層(3)の一部および基板(1)の一部を露出させる(第4図(d))。

さらに、 $SiO_2$ 絶縁層(4)および露出した基板(1)上に、有機金属化学堆積法(MOCVD法)、分子線エピタキシャル法(MBE法)等による横方向成長によつて、 $p$ 型 $GaAs$ 層(5)を $Zn$ をドーパントとして成長させ、 $n$ 型 $GaAs$ 層(6)を $Te$ をドーパントとして成長させる(第4図(e))。

フォトリソグラフィ技術とエッチングとによつて、この $p$ 型 $GaAs$ 層(5)および $n$ 型 $GaAs$ 層(6)の一部を除去し、 $p$ 型 $GaAs$ 層(5)の一部と基板(1)の一部とを露出させる(第4図(f))。

最後に、 $Al$ 、 $Al-Ga$ 、 $Zn$ 等を抵抗加熱器(2)、 $p$ 型 $GaAs$ 層(3)および $n$ 型 $GaAs$ 層(6)で蒸着することにより、 $n$ 型 $GaAs$ 層(5)の露出した部分上ならびに $n$ 型 $GaAs$ 層(6)上の一部に陽極(7)(9)、陰極(8)(10)を形成する(第4図(g))。

第5図はこの発明の応用例を示している。

G・A・基板(1)上に、多数のフォト・カプラ(2)がアレイ状に並べて形成されている。この基板(1)上には、フォト・カプラ(2)の入出力用のセンサ等(3)や、フォト・カプラ(2)からの信号またはフォト・カプラ(2)への信号の演算処理用のFET等を含む回路(4)がモノリシックに形成されている。このようにFET等演算処理回路(4)と同一基板上にフォト・カプラ(2)を製作することによりフォト・カプラを使った回路の小形化が図られる。

#### 4. 図面の簡単な説明

第1図から第3図はこの発明の実施例を示し、第1図はフォト・カプラの平面図、第2図は第1図のII-II線にそう断面図、第3図は斜視図である。

第4図は、フォト・カプラの製造工程を示す図である。

第5図は、この発明の応用例を示す斜視図である。

(1)・・・基板、(4)・・・絶縁層、(2)・・・発光素子、(3)・・・受光素子。

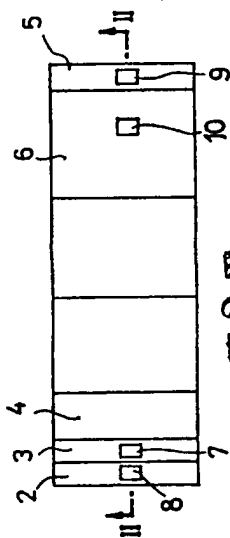
以 上

特許出願人 立石電機株式会社

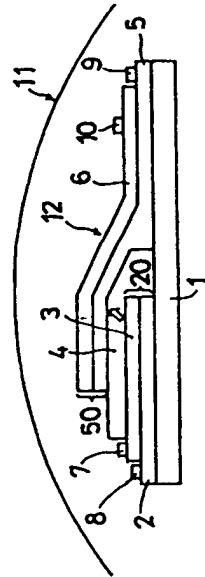
代 理 人 岸 本 瑛 之 明

外 4 名

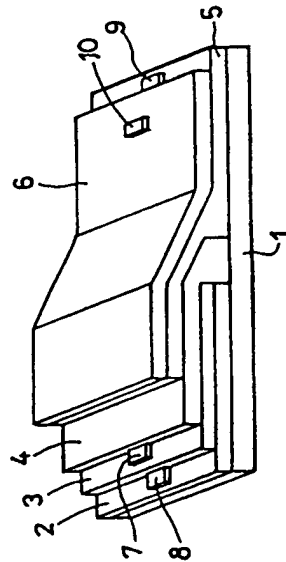
第1図



第2図

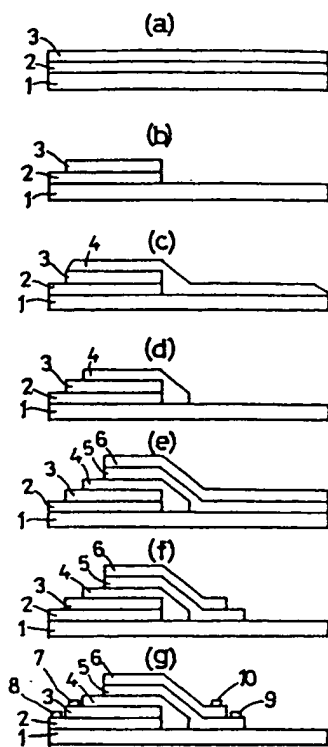


第3図



1:GaAs基板  
2:n-GaAs層  
3:p-GaAs層  
4:SiO<sub>2</sub>絶縁層  
5:p-GaAs層  
6:n-GaAs層  
7,9:電極  
8,10:電極  
11:エミタ  
20:発光素子  
50:受光素子

第4図



第5図

